

(Packaging-)Trends in der Elektronik

und deren Konsequenzen für Produkt-Design und Hersteller

Gustl Keller, Eltroplan GmbH, Endingen a. K.

Inhalt

- **Haupttrends und deren Treiber**
- **Entwicklung der IC-Bauformen**
- **Konsequenzen feinerer und dichterter Anschlüsse**
- **Layoutbeispiele und Herausforderungen für die Leiterplattentechnik**
- **Entwicklung der Chip-Bauformen**
- **Komplexe Aufbauten und Konsequenzen**
- **Bauelement-Einbettung in Leiterplatten und Konsequenzen**
- **„Grüne“ Bauteile – Situation und Konsequenzen**
- **Schnellere Schaltungen und Konsequenzen**
- **Empfehlungen**

Haupttrends bei Packages bzw. Elektronikbauteil-Bauformen

Die Vielfalt an Packages/Bauformen nimmt weiterhin zu, wobei es folgende Trends gibt:

- **kleiner (bis hin zum intelligenten Staubkorn)**
- **komplexer (bis hin zu Multi-Chip-Aufbauten)**
- **robuster (u.a. durch Miniaturisierung und z.T. weniger Verbindungsebenen)**
- **umweltfreundlicher (u.a. durch Verzicht auf Schadstoffe)**
- **billiger (z.B. durch Wafer Level Packaging und z.T. weniger Verbindungsebenen)**

und meist nicht alles gleichzeitig realisiert wird.

Treiber für die Package-Trends

- **Fortschritte der Halbleitertechnologie**
- **Markt verlangt komplette Systeme mit umfassenden Funktionalitäten**
- **Mobile Geräte (geringe Masse und Abmessungen)**
- **Drahtlos-Kommunikation**
- **Preisdruck**
- **Materialeinsparung**
- **Umweltschutz**
- **Gesetzgebung**
- ...

Trends bei Elektronikbauteilen



engineering | production | services

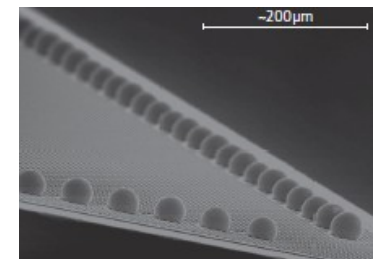
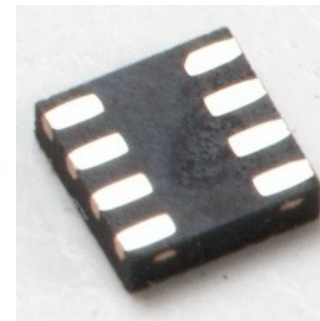
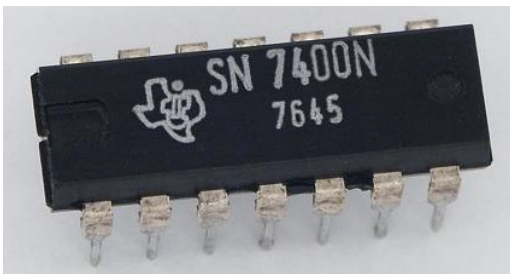
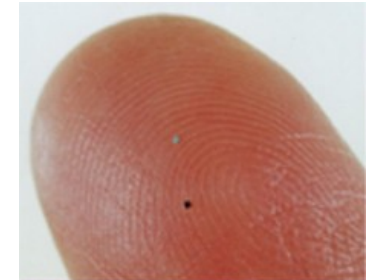
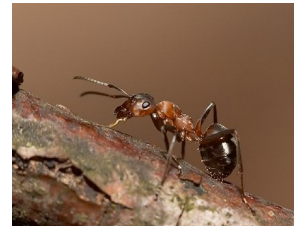
- **Parallel zur Gatterzahl steigt die Anzahl der Anschlüsse**
- **Anschlussraster und -abmessungen werden kleiner (→ $\leq 0,2$ mm)**
- **Anteil der Area-Array-Bauformen mit Lotkugel- bzw. Bump-Anschlüssen nimmt rasch zu (→ BGA, CSP, FC)**
- **MikrobaufORMen kommen (→ Sub-mm-Abmessungen)**

- **Taktfrequenzen steigen (→ GHz-Bereich)**
- **Leistungen steigen (→ Wärmeableitung kritischer)**
- **Funktionalität wird größer (→ SiP, PoP)**

(R)evolutionäre IC-Bauform-Entwicklung

Vom „Käfer“ (DIP 24 \approx 30 mm) über ameisengroße Bauformen SO-8 (\approx 5 mm) und QFN 8 (\approx 4 mm) hin zum intelligenten „Staubkorn“:

- Mu Chip (RFID) von Hitachi hat Abmessungen von 0,4 mm x 0,4 mm
(www.hitachi-eu.com/mu/Products/Mu%20Chip.htm)
- Fraunhofer IZM realisierte Chip mit peripherem Anschluss-Raster von 60 μ m



Standard-IC-Bauformen (JEDEC)

DIP: Dual-in-line Package

SOP: Small Outline Package

SSOP: Shrink Small Outline Package

TSSOP: Thin Small Outline Package

PSOP: Power Small Outline Plastic Package

MSOP: Mini Small Outline Package

SON: Dual Flat No-lead Package/Dual Micro Lead Frame Package

QSOP: Quad Small Outline Package

PLCC: Plastic Leaded Chip Carrier

QFP: Quad Flat pack Package

BGA: Ball Grid Array Package

QFN/MLF: Quad Flat No-lead Package/Micro Lead Frame Package

CDIP: Ceramic Dual-In-Line (Metal Seal) Package

GDIP: Ceramic Dual-In-line (Glass Seal Package)

CPGA: Ceramic Pin Grid Array Package

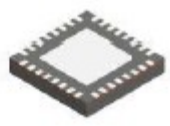
CLCC: Ceramic Leadless Chip Carrier



PLCC / QFJ



CLCC / QFJ



QFN



DSO / SOIC / SOP



SOJ



SON / DFN



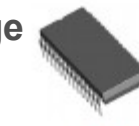
ZIP



SOF



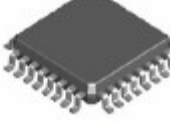
SOF



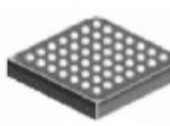
DIP



DIP

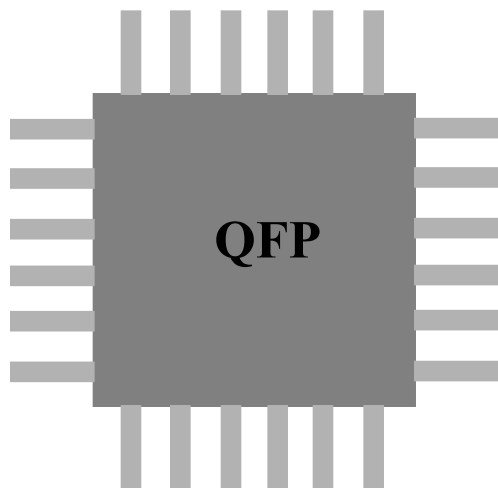


QFP

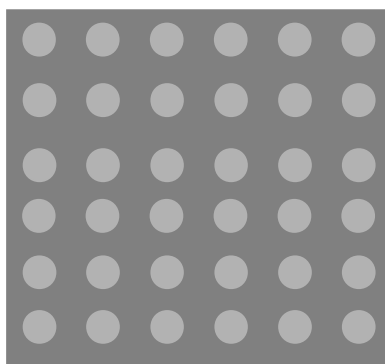


Vom QFP via BGA zu CSP und FC

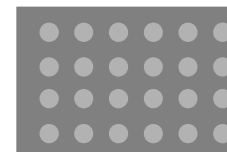
FPD



Area Array Packages (AAP)



BGA



CSP



FC

Package-Typ	QFP	BGA	CSP	FC
Anschlussraster / mm	0,635 ... 0,5	1,27 ... 0,8	0,8 ... 0,5	$\leq 0,3$
Anschlussbreite / mm	0,25 ... 0,2	0,6 ... 0,3	0,3 ... 0,2	$\leq 0,15$

IC-Bauformen und deren typ. Anschluss- und Layoutgeometrien



engineering | production | services

Bauform	DIP	SOP	QFP	BGA	CSP	FC
Montage-Technologie	LMT	SMT	SMT/FP	SMT	SMT/FP	DCA
Anschluss-Raster / mm	2,54	1,27	0,63/0,5	1,27	0,8/0,5	$\leq 0,3$
Anschluss- \varnothing / mm	$\geq 0,6$	0,5	0,25/0,2	0,6	0,3	$\leq 0,15$
Montage-Pad- \varnothing / mm	1,6	0,6	0,3/0,25	0,6	0,3	$\leq 0,15$
Via-Pad- \varnothing / mm	1,2	0,8	0,6	0,6	0,3/0,15	$\leq 0,15$
Bohrloch- \varnothing / mm	0,7	0,5	0,3	0,3	0,15/0,1	$\leq 0,1$
L/S / μm	300	150	150	150	150/50	≤ 75

Konsequenzen feinerer Anschlüsse

Erforderlich sind:

- **besonders schonende Handhabung, da filigranere Anschlüsse empfindlicher gegenüber mechanischen Belastungen**
- **Leiterplatte mit entsprechend feineren Strukturen (L/S, Vias)**
- **höhere Präzision bei Pastendruck und Automatenbestückung**

Konsequenzen höherer Anschlusszahlen/dichten

Erforderlich sind:

- **weitere Entflechtungsmöglichkeiten
(neben Fan-out- auch Dog Bone- und Via-in-Pad/Line-Layout)**
- **Leiterplatte mit neuen Technologien
(μ Via-, SBU-, HDI-Techniken)**
- **höhere Ausbeuten beim Löten und dem vorangehenden
Pastendruck und der Automatenbestückung**

QFP-Layout-Beispiel (Raster 0,5 mm)

Fan-Out-Layout

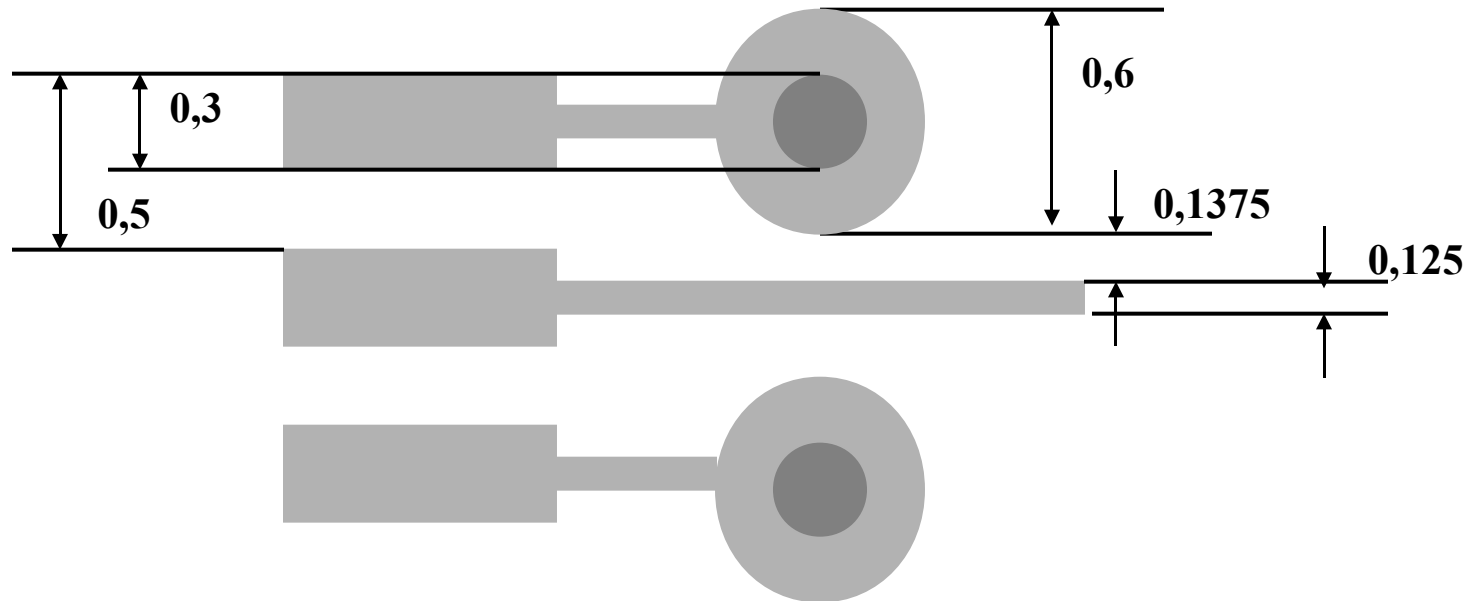
Leiterbreite: 125 μm

Leiterabstand: 137,5 μm

Restringbreite: 150 μm

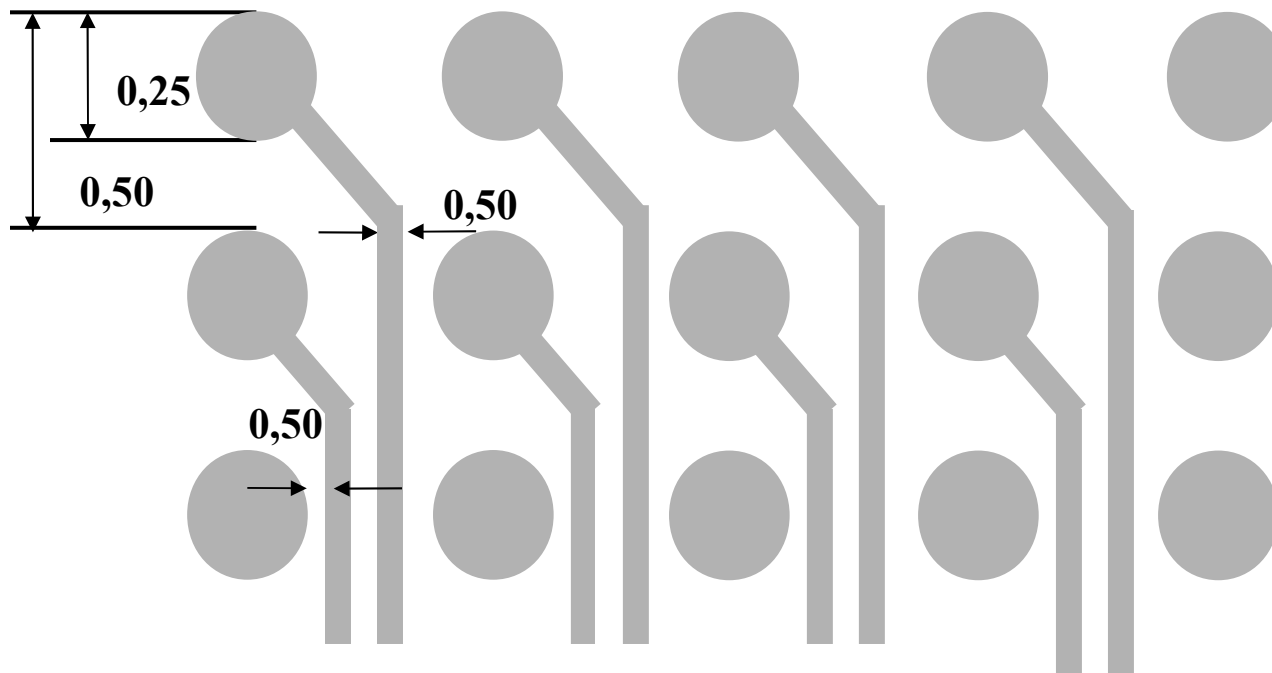
Viapadddurchmesser: 0,6 mm

Vialochdurchmesser: 0,3 mm



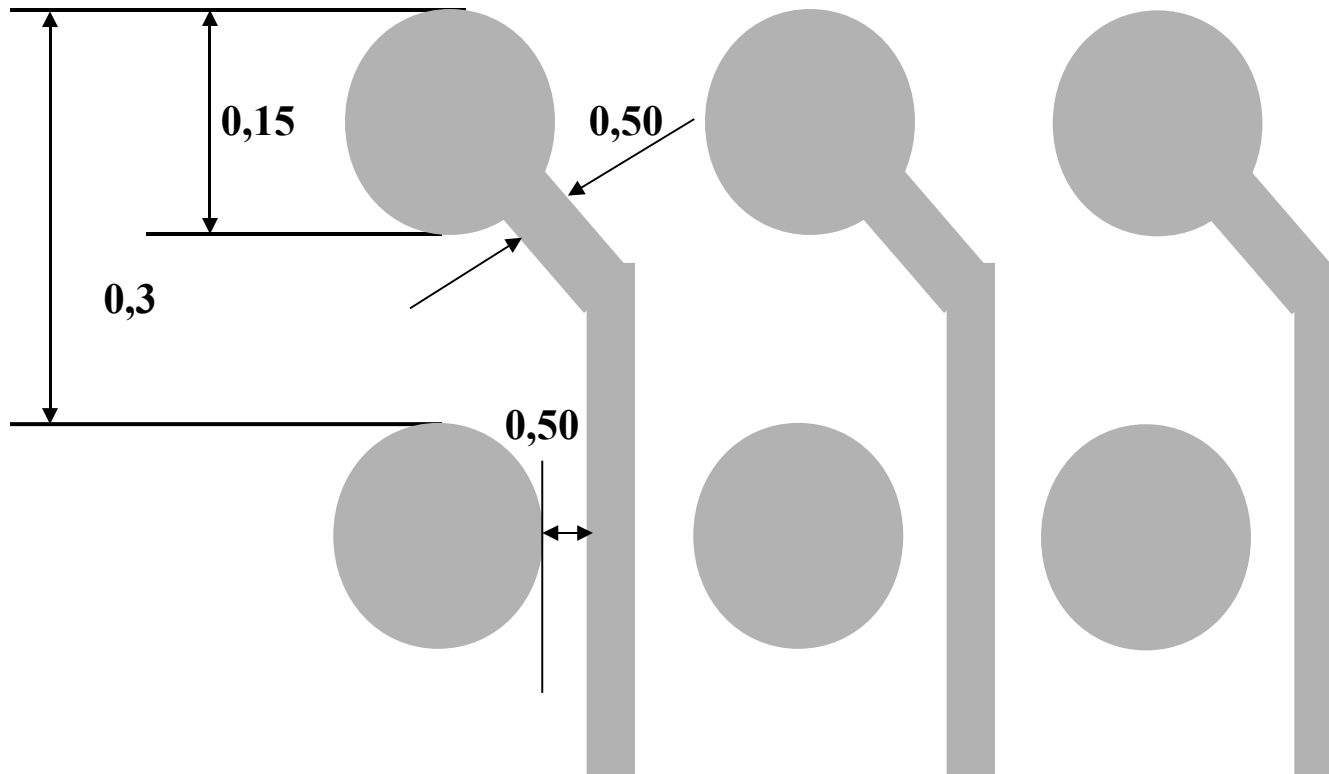
CSP-Layout-Beispiel (Raster 0,5 mm)

Fan-Out-Layout bei 3. Anschlussreihe → Leiterbreite/-abstand: 50 μm



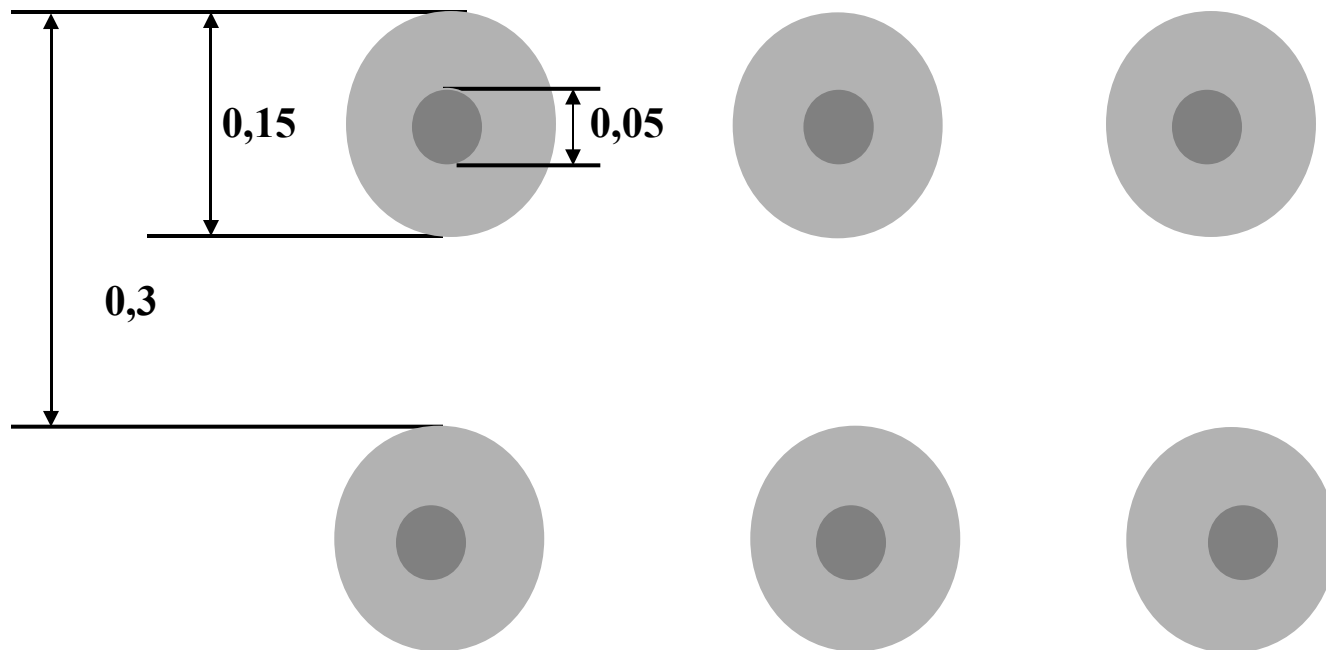
FC/CSP-Layout-Beispiel (Raster 0,3 mm)

Fan-Out-Layout bei 2. Anschlussreihe → Leiterbreite/-abstand: 50 µm



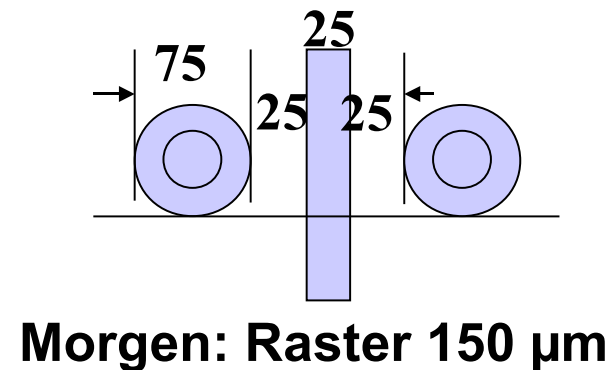
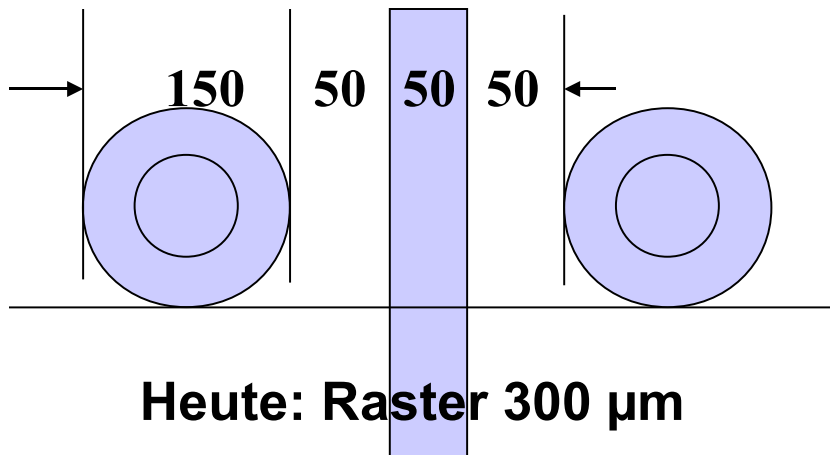
FC/CSP-Layout-Beispiel (Raster 0,3 mm)

Via-In-Pad-Layout → Vialochdurchmesser/Restringbreite: 50 µm



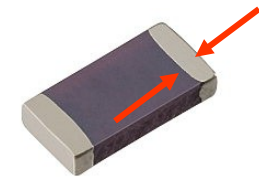
Zukünftige Layoutanforderungen

- CSP/FC-Anschlussraster:** 300 μm $\implies \leq 150 \mu\text{m}$
- **Montageflächen/Pad- \emptyset :** 150 μm $\implies \leq 75 \mu\text{m}$
- **L/S:** 50 μm $\implies \leq 25 \mu\text{m}$
- **Microvia- \emptyset :** 150 μm $\implies \leq 50 \mu\text{m}$ ($\mu\text{Via-in-Pad}$)
bzw. $\leq 25 \mu\text{m}$ ($\mu\text{Via-in-Line}$)



Chip-Bauformen (Maße in mm)

Bauform	Maße	Toleranzen	Anschlüsse
2220	5,7 x 5,0	$\pm 0,2$	0,3 - 0,6
1812	4,6 x 3,2	$\pm 0,2$	0,3 - 0,6
1206	3,2 x 1,6	$\pm 0,2$	0,3 - 0,6
0805	2,0 x 1,5	$\pm 0,15$	0,3 - 0,6
0603	1,6 x 0,8	$\pm 0,1$	0,2 - 0,5
0402	1,0 x 0,5	$\pm 0,05$	0,15 - 0,35
0201	0,6 x 0,3	$\pm 0,05$	0,07 - 0,19
01005	0,4 x 0,2	$\pm 0,02$	0,07 - 0,14



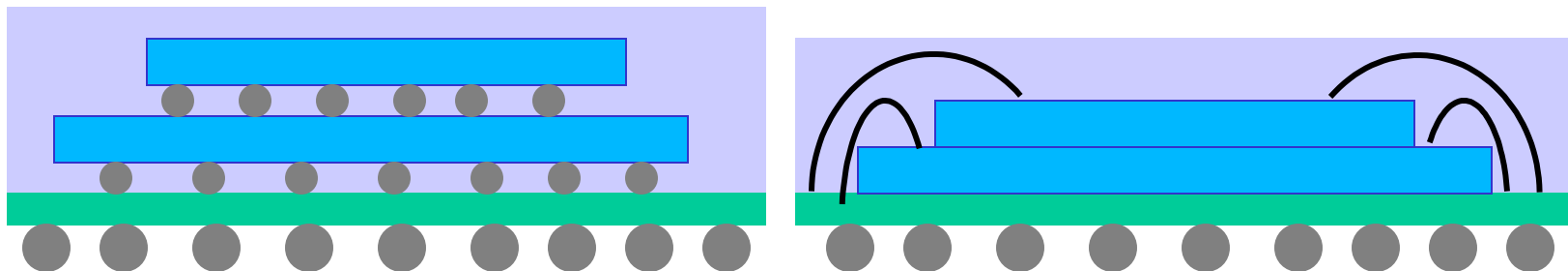
**Kleinste Bauteil-
Abmessungen
bzw. -Anschlüsse:
stellen sehr hohe
Anforderungen:**

- Handhabung
- Präzisions-
montage
- „haarfeine“
Lötverbindungen

Komplexe Chip-Aufbauten

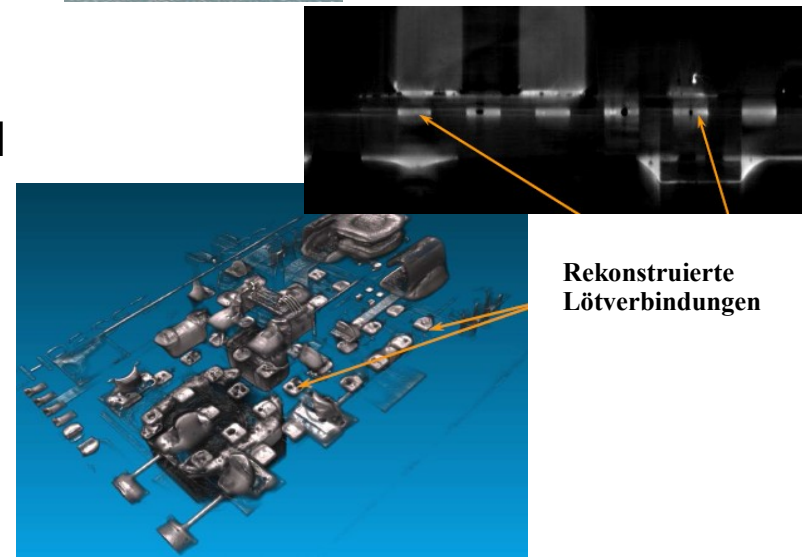
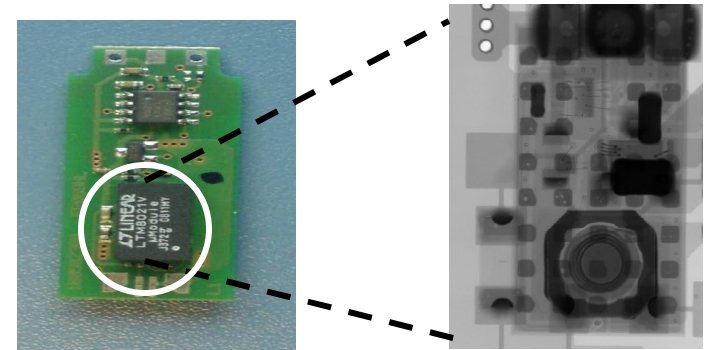
Anstelle von SoC-Lösungen (System on Chip ist ideal, jedoch wegen der in der Regel benötigten unterschiedlichen Halbleitertechnologien meist nicht realisierbar), kommen Mehrchip-Aufbauten:

- **SiP (System in Package)**
- **PoP (Package on Package)**



Konsequenzen komplexer Aufbauten

- Eine Kontrolle des inneren Bauteil-Aufbaus ist zerstörungsfrei nur mittels Computertomografie (CT) möglich.
- Komplexe Bauteile werden in der Regel als AAP ausgeführt.
Da die AAP-Anschlüsse unter dem Bauteil liegen, sind deren Lötverbindungen zur Leiterplatte verdeckt, so dass sie nicht mehr visuell bzw. AOI geprüft werden können.
- ➔ Wenn die Benetzung (Lötmenisken) geprüft werden sollen, ist eine 3D-Röntgeninspektion notwendig.
- ➔ Elektrische Prüfung: BST anstelle ICT



Einbettung in Leiterplatten

- **Einbetten von passiven Bauelementen (R, C) erfolgt von einigen LP-Herstellern seit einigen Jahren in Serie**
- **Einbetten von IC:**
 - **IC dünnen**
 - **IC auf/in Laminat/Leiterplatte montieren**
 - **ggf. Multilayeraufbau**
 - **IC kontaktieren (per Drahtbonden, Pastendruck oder μ Via)**
 - **ggf. IC bzw. Kontaktierung/Verbindung schützen**

Konsequenzen durch Einbettung in Leiterplatten



engineering | production | services

Neben neuen Prozessen (Fähigkeiten) ist eine Neuorganisation der gesamten Elektronik-Lieferkette nötig:

- **Wer macht was**
- **Schnittstellen**
- **Verantwortlichkeiten**

Tangiert sind alle:

- **Halbleiter-Hersteller**
- **Leiterplatten-Hersteller**
- **Baugruppen-Hersteller**

„Grüne“ Bauteile – Situation und Konsequenzen



engineering | production | services

Grün ist in und deshalb im Consumer-Produkt-Bereich Standard:

- **Große Konzerne (OEM in Japan sowie Handel in Deutschland) sind Vorreiter**
 - **Internationaler Markt ist inzwischen weiter als (nationale) Gesetzgebung**
 - **Bauteile-Hersteller orientieren sich fast nur am Massenmarkt**
 - **Automobil-, Aero-, Space- und Militärtechnik sind mit ihren global im Prozent-Bereich liegenden Elektronikmarkt-Anteilen Exotenmärkte**
 - **Nicht profitable Bauteil-Ausführungen werden zunehmend abgekündigt**
- ➔ „Nichtgrüne“ Bauteile werden zunehmend weniger verfügbar und teurer**

Schaltungen werden schneller

Aktuelle Beispiele:

- **Neuer Intel Core i7-940 Prozessor:**
 - **Kernfrequenz: 2,93 GHz**
 - **Durchsatz: bis 25,6 GB/s**
- **HyperTransport (HT) Verbindung:**
 - **32 Bit mit 1,4 GHz Takt**
 - **je Richtung bis zu 11,2 GByte/s**
- ➔ **neue Herausforderungen für Design und Produktion:**
 - **Sicherstellen der Signalintegrität und EMV**
 - **neue Materialien**
 - **kleinere Toleranzen (nicht nur für LP-Strukturen, sondern z.B. auch für den Lotpastendruckprozess)**
 - **neue Testverfahren**

Generelle Empfehlungen

Folgendes lohnt sich immer:

- **Design frühzeitig (bereits in der Konzeptionsphase) mit Leiterplattenhersteller und EMS-Dienstleister absprechen! Denn Design ist v.a. Teamarbeit!**
- **Allgemeine Standards (Normen und Richtlinien) beachten!**
- **Zuerst Technologie(n), danach Produkt entwickeln!**
- **Netzwerke mit Partnern aus der gesamten Lieferkette bilden!**

Nutzen sie den Eltroplan Technologie-Tag zum gegenseitigen Kennenlernen und Informationsaustausch!